毕业设计（论文）任务书

指导教师 陈伦德

课题名称:基于异步脉冲范式的存算一体电路设计

作业期限:2023年12 月11 日起 2024年6 月9 日止

接受单位:上海大学中欧工程技术学院

学生姓名:王小丫

学号:20124796

所在专业:信息工程

二O二三年十二月十一日

|  |
| --- |
| (一)课题来源、意义与主要内容：（注明自拟、科研、科技服务类别及任务提出单位）  1.课题来源  本毕设课题为自拟项目。在当今深度神经网络（DNN）广泛应用的背景下，乘法累加操作（MAC）成为深度学习中不可或缺的核心运算单元。然而，传统计算结构的内存墙问题，即处理器与内存之间数据频繁传输导致的高延迟和功耗，制约了计算性能的提升。为解决这一问题，存算一体技术应运而生，通过将数据处理功能直接集成到存储单元中，彻底改变了传统计算方式。本课题旨在借助异步脉冲范式，结合存算一体技术，设计高效的MAC电路，以提高计算速度、降低功耗，并为未来计算技术的发展探索新方向。通过解决内存墙瓶颈，该电路设计将为高性能计算和先进数据处理领域带来全新的可能性。  2.研究意义  近年来，深度神经网络（DNN）在图像分类、语音识别和自然语言处理等多个领域发挥了重要作用。在DNN中，乘法累加操作（MAC）是最基本且常见的运算单元。然而，为了实现高效的MAC操作，需要大量的并行处理能力，这往往涉及到数据的频繁移动，导致了传统计算架构中处理器与内存之间物理分离带来的高延迟和功耗问题，通常被称为“内存墙”瓶颈。  针对这一挑战，存算一体（In-Memory Computing）技术提供了一种有效的解决方案。这种技术通过将数据处理功能直接集成到存储单元中，从根本上改变了数据处理的方式。在存算一体架构中，计算不再需要在处理器和内存之间传输数据，从而显著降低了由于数据移动导致的延迟和功耗。这种直接在内存中进行计算的方法不仅提高了数据处理的速度，而且由于显著减少了数据在不同硬件组件之间的移动，进一步提高了整体系统的能效。存算一体技术还使得系统设计更为紧凑和集成化。通过减少对传统处理器和内存之间复杂连接的依赖，这种技术降低了系统的整体体积和制造成本。这在空间受限的应用，如移动设备和嵌入式系统中特别有价值。这种紧凑的设计也意味着在设计和生产过程中的物料成本和能源消耗都得到了降低。  此外，脉冲技术在存算一体电路中发挥了重要作用，尤其是在提高线性度和降低功耗方面。它通过高效的数据编码和传输，实现了数据的脉冲式表示和处理，显著减少了无效操作的能耗。由于脉冲电路的独立运作方式，提高了并行处理的能力，从而增强了整体的速度和效率。  最后，异步设计对脉冲技术的应用具有至关重要的意义。它通过去除全局时钟同步的需求，使电路能够及时响应数据，提高了计算的速度和灵敏度。由于电路只在数据处理时激活，这也大大降低了功耗。异步脉冲电路具有良好的抗干扰性和可靠性，适用于多变的运行环境，并且简化了设计和布线的复杂性，有助于降低制造成本。  这种基于异步脉冲范式的存算一体电路能够应对高性能计算挑战、支持先进数据处理需求。总体来看，这种电路设计不仅为高效的计算带来了革新，也为未来的计算技术发展开辟了新的方向。  3.主要内容  (1)学习异步电路的设计，学习异步电路基本单元如C元件、Muller流水线等的CMOS门级搭建。  (2)在virtuoso软件中构建具有异步握手功能的脉冲ADC电路。并从功能、性能和异步时序的角度出发，对电路进行仿真及优化。  (3)构建基于电荷范式的存算一体bit-cell阵列，实现模拟乘法累加操作（MAC）。并从功能、性能和异步时序的角度出发，对得到的电路进行仿真。  (4)对存算一体电路进行仿真，从线性度、功耗、吞吐量、面积四个角度进行性能评估，并使用AMS混合信号仿真技术进行系统级功能仿真，验证电路的MAC计算功能。 |
| (二)目的要求和主要技术指标:  1.目标要求  本毕设旨在设计基于异步脉冲范式的存算一体电路，以解决传统计算结构中的内存墙问题，提高深度神经网络中乘法累加操作（MAC）的计算效率。通过融合存算一体技术，实现在存储单元中直接进行计算，以降低延迟和功耗，从而提升整体系统性能。通过异步设计，增强电路的响应速度、降低功耗，并确保在多变运行环境下保持抗干扰性和可靠性。   1. 主要技术指标   性能提升： 实现存算一体电路，使得MAC操作在存储单元内高效完成，提高计算性能。  功耗降低： 通过脉冲技术的应用，减少无效操作的能耗，实现更为节能高效的数据处理。  异步设计稳定性： 保证电路在异步脉冲范式下的稳定运行，提高计算速度和灵敏度。  抗干扰性： 确保电路在多变环境中具有良好的抗干扰性，提高系统稳定性。  简化设计： 异步脉冲设计简化了电路布线的复杂性，降低制造成本，适用于各种应用场景。  创新性： 在存算一体领域结合异步脉冲范式，具有创新性，为未来计算技术发展提供新思路。 |
| (三)进度计划:  时间：2023年12月11日-2024年2月28日  内容：引导学生系统学习异步电路的设计；深入学习virtuoso软件，掌握电路设计、仿真以及版图制作的方法；完成开题报告的撰写，并进行小组内部检查，随后修改并优化开题报告；提交开题报告，接受教研室的检查与评审。  时间：2024年3月2日-4月2日  内容：在virtuoso软件中构建具有异步握手功能的脉冲ADC电路；构建基于电荷范式的存算一体bit-cell阵列，实现模拟乘法累加操作（MAC）。并从功能、性能和异步时序的角度出发，对得到的电路进行仿真。  时间：2024年4月3日-5月1日  内容：对存算一体电路进行仿真，从线性度、功耗、吞吐量、面积四个角度进行性能评估，并使用AMS混合信号仿真技术进行系统级功能仿真，验证电路的MAC计算功能。  时间：2024年5月4日-5月29日  内容：开始全面撰写毕业论文，系统总结研究成果。  时间：2024年6月1日-6月8日  内容：对论文进行修改，提升论文质量；准备并进行答辩，展示并讲解毕业设计的研究内容和贡献。 |
| (四) 主要文献、资料和参考书：   1. He Zhang, Linjun Jiang, Jianxin Wu, Tingran Chen, Junzhan Liu, Wang Kang, and Weisheng Zhao. 2022. CP-SRAM: charge-pulsation SRAM marco for ultra-high energy-efficiency computing-in-memory. In Proceedings of the 59th ACM/IEEE Design Automation Conference (DAC '22). Association for Computing Machinery, New York, NY, USA, 109–114. 2. H. Wang, R. Liu, R. Dorrance, D. Dasalukunte, D. Lake and B. Carlton, "A Charge Domain SRAM Compute-in-Memory Macro With C-2C Ladder-Based 8-Bit MAC Unit in 22-nm FinFET Process for Edge Inference," in IEEE Journal of Solid-State Circuits, vol. 58, no. 4, pp. 1037-1050. 3. Y. Liu et al., "An 82-nW 0.53-pJ/SOP Clock-Free Spiking Neural Network With 40-μs Latency for AIoT Wake-Up Functions Using a Multilevel-Event-Driven Bionic Architecture and Computing-in-Memory Technique," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 70, no. 8, pp. 3075-30887. 4. J. Zhang, Z. Wang and N. Verma, "In-Memory Computation of a Machine-Learning Classifier in a Standard 6T SRAM Array," in IEEE Journal of Solid-State Circuits, vol. 52, no. 4, pp. 915-924. 5. H. Jiang, X. Peng, S. Huang and S. Yu, "CIMAT: A Compute-In-Memory Architecture for On-chip Training Based on Transpose SRAM Arrays," in IEEE Transactions on Computers, vol. 69, no. 7, pp. 944-954. 6. Paul A. Merolla et al,.A million spiking-neuron integrated circuit with a scalable communication network and interface.Science345,668-673(2014). 7. M. E. Sinangil et al., "A 7-nm Compute-in-Memory SRAM Macro Supporting Multi-Bit Input, Weight and Output and Achieving 351 TOPS/W and 372.4 GOPS," in IEEE Journal of Solid-State Circuits, vol. 56, no. 1, pp. 188-198, Jan. 2021. 8. F. Akopyan et al., "TrueNorth: Design and Tool Flow of a 65 mW 1 Million Neuron Programmable Neurosynaptic Chip," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 34, no. 10, pp. 1537-1557, Oct. 2015. |
| （五）审批意见：  系(教研室)负责人:  20 年 月 日 |
| （六）学生意见:  学生签名:  20年 月 日 |
| （七）课题变动情况：  负 责人:  20 年 月 日 |
| （八）注意事项：  1.本任务书一式三份。（一）、（二）、（三）、（四）各项一般应在毕业作业开始前二周由指导教师认真填写，经系（教研室）负责人审查批准后，一份留系备查，一份由指导教师保存，一份下达给学生。  2.学生应在导师指导下，根据本任务书的要求具体制订实施计划，并积极完成任务。  3.课题内容如有变动，需经所属系或接受单位负责人同意。 |